

Pinaki Satpathy

# Design and Implementation of carry select adder using T-Spice



**Anchor Academic Publishing**

*disseminate knowledge*

**Satpathy, Pinaki: Design and Implementation of carry select adder using T-Spice, Hamburg, Anchor Academic Publishing 2016**

PDF-eBook-ISBN: 978-3-96067-558-7

Druck/Herstellung: Anchor Academic Publishing, Hamburg, 2016

**Bibliografische Information der Deutschen Nationalbibliothek:**

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

**Bibliographical Information of the German National Library:**

The German National Library lists this publication in the German National Bibliography. Detailed bibliographic data can be found at: <http://dnb.d-nb.de>

All rights reserved. This publication may not be reproduced, stored in a retrieval system or transmitted, in any form or by any means, electronic, mechanical, photocopying, recording or otherwise, without the prior permission of the publishers.

---

Das Werk einschließlich aller seiner Teile ist urheberrechtlich geschützt. Jede Verwertung außerhalb der Grenzen des Urheberrechtsgesetzes ist ohne Zustimmung des Verlages unzulässig und strafbar. Dies gilt insbesondere für Vervielfältigungen, Übersetzungen, Mikroverfilmungen und die Einspeicherung und Bearbeitung in elektronischen Systemen.

Die Wiedergabe von Gebrauchsnamen, Handelsnamen, Warenbezeichnungen usw. in diesem Werk berechtigt auch ohne besondere Kennzeichnung nicht zu der Annahme, dass solche Namen im Sinne der Warenzeichen- und Markenschutz-Gesetzgebung als frei zu betrachten wären und daher von jedermann benutzt werden dürften.

Die Informationen in diesem Werk wurden mit Sorgfalt erarbeitet. Dennoch können Fehler nicht vollständig ausgeschlossen werden und die Diplomica Verlag GmbH, die Autoren oder Übersetzer übernehmen keine juristische Verantwortung oder irgendeine Haftung für evtl. verbliebene fehlerhafte Angaben und deren Folgen.

Alle Rechte vorbehalten

© Anchor Academic Publishing, Imprint der Diplomica Verlag GmbH  
Hermannstal 119k, 22119 Hamburg  
<http://www.diplomica-verlag.de>, Hamburg 2016  
Printed in Germany

## ABSTRACT

Adders are the basic building blocks of any processor or data path application. In adder design carry generation is the critical path. To reduce the power consumption of the data path we need to reduce the area of the adder. Carry Select Adder is one of the fast adder used in many data path applications. The proposed design is implemented without using multiplexer and RCA structure with  $C_{in}=1$ . Instead of multiplexer and RCA  $C_{in}=1$  structure here we used simple combinational circuit. Power dissipation is one of the most important design objectives in integrated circuits, after speed. As adders are the most widely used components in such circuits, design of efficient adder is of much concern for researchers. This paper presents performance analysis of different Fast Adders. The comparison is done on the basis of three performance parameters i.e. Area, Speed and Power consumption. We present a modified carry select adder designed in different stages. Results obtained from modified carry select adders are better in area and power consumption.

Keywords: CSLA, COMBINATIONAL CIRCUIT, ADDER, BEC, D-LATCH.



# TABLE OF CONTENTS

ABSTRACT.....	1
LIST OF FIGURES.....	5
LIST OF TABLES.....	6
LIST OF ABBREVIATIONS .....	7

## CHAPTER 1 INTRODUCTION

1.1 Introduction.....	9
1.2 Literature survey .....	11
1.3 Objectives.....	12
1.4 Thesis outline .....	12

## CHAPTER 2 DESIGN OF FULL ADDER USING DIFFERENT LOGIC

2.1 Full Adder .....	14
2.2 STA CMOS FA.....	15
2.3 PTL FA .....	17
2.4 TGA FA.....	19

## CHAPTER 3 DESIGN OF MULTI- BIT FULL ADDER USING DIFFERENT LOGIC

3.1 4-bit full Adder .....	21
3.2 8-bit full Adder .....	24